



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-096014

(43)Date of publication of application 08.04.1994

(51)Int. Cl.

G06F 13/362

(21)Application number : 04-244577

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 14.09.1992

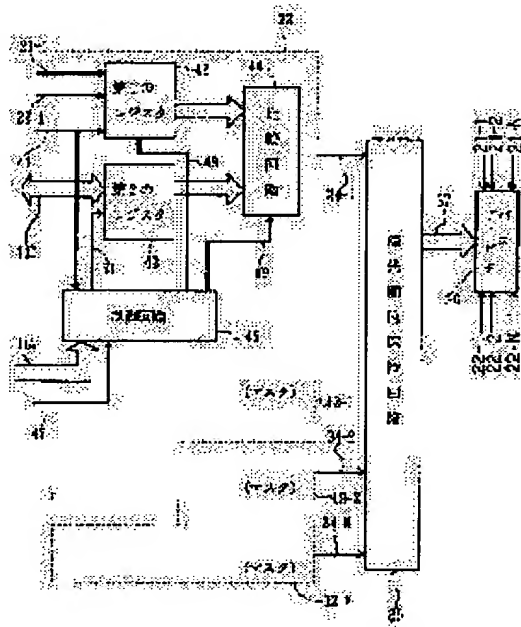
(72)Inventor : TOI TETSUYA

## (54) BUS USING PRIORITY ORDER CONTROLLER

## (57)Abstract:

**PURPOSE:** To reduce a difference in the execution time of the same program due to a difference in an idle holding period at the time of the arbitration of plural buses.

**CONSTITUTION:** A 1st register 42 finds the cumulative value of the idle holding period at the time of the arbitration for the acquisition of a bus 11 among respective masters 12-1 to 12-N and a comparator circuit 44 compares the found value with a reference value stored in a 2nd register 43. When the cumulative value is larger than the reference check, the priority of the acquisition of the bus 11 by the master 12 is increased. Consequently, difference of the time required to acquire the bus 11 among the masters is made small.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-96014

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>4</sup>

G 0 6 F 13/362

識別記号

5 1 0 H 9072-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 16 頁)

(21)出願番号 特願平4-244577

(22)出願日 平成4年(1992)9月14日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 戸井 哲也

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社岩槻事業所内

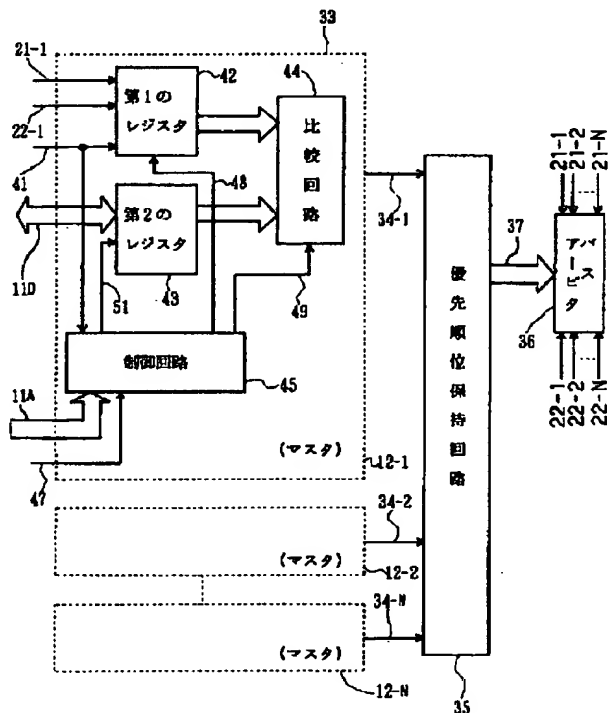
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 バス使用優先順位制御装置

(57)【要約】

【目的】 複数のバスの調停時における無為保留期間の差による同一プログラムを実行する際の実行時間の差異を少なくする。

【構成】 各マスタ12-1~12-Nにおけるバス11の獲得の調停時における無為保留期間の累積値を第1のレジスタ42で求め、これを第2のレジスタ43に格納されている基準値と比較回路44で比較する。この比較結果で累積値の方が基準チェックよりも大きくなっているときには、そのマスタ12がバス11を獲得する際の優先順位を上げるようにした。これにより、バス11の獲得に要する時間をマスタ間で差異の少ないものにする。



## 【特許請求の範囲】

【請求項1】 同一または異なったバスに接続された複数のマスタと、

これらのマスタのそれぞれに配置され、バスの獲得の際に要する無為保留期間の累積時間を測定する累積時間測定手段と、

前記マスタのそれぞれに配置され自己の累積時間測定手段の測定結果に対する基準値を設定する基準値設定手段と、

所定の時点で前記マスタのそれぞれについてそれぞれの累積時間測定手段の測定した累積値が基準値設定手段の設定した基準値を越えているか否かをチェックするマスタ別チェック手段と、

このマスタ別チェック手段のチェックが行われるたびにこれらマスタのそれぞれの累積時間測定手段の測定値をクリアする測定値クリア手段と、

前記マスタ別チェック手段のチェックした結果に応じてこれらのマスタがバスの使用権を得る上で競合した際の優先順位を、累積値が基準値設定手段の設定した基準値を越えているマスタに対して優位に変更する優先順位更新手段とを具備することを特徴とするバス使用優先順位制御装置。

【請求項2】 同一または異なったバスに接続された複数のマスタと、

これらのマスタのそれぞれに配置され、バスの獲得の際に要する無為保留期間の累積時間を測定する累積時間測定手段と、

前記マスタのそれぞれに配置され自己の累積時間測定手段の測定結果に対する基準値を設定する基準値設定手段と、

所定の時間間隔を測定する時間間隔測定手段と、バスの使用権の優先順位の変更を指示する命令を解読する解読手段と、

前記時間間隔測定手段が所定の時間間隔を測定するたびに、および前記解読手段がバスの使用権の優先順位の変更の指示を解読したときに、前記マスタのそれぞれについてそれぞれの累積時間測定手段の測定した累積値が基準値設定手段の設定した基準値を越えているか否かをチェックするマスタ別チェック手段と、

このマスタ別チェック手段のチェックが行われるたびにこれらマスタのそれぞれの累積時間測定手段の測定値をクリアする測定値クリア手段と、

前記マスタ別チェック手段のチェックした結果に応じてこれらのマスタがバスの使用権を得る上で競合した際の優先順位を、累積値が基準値設定手段の設定した基準値を越えているマスタに対して優位に変更する優先順位更新手段とを具備することを特徴とするバス使用優先順位制御装置。

【請求項3】 同一または異なったバスに接続された複数のマスタと、

これらのマスタのそれぞれに配置され、バスの獲得の際に要する無為保留期間の平均値を測定する平均値測定手段と、

前記マスタのそれぞれに配置され自己の平均値測定手段の測定結果に対する基準値を設定する基準値設定手段と、

所定の時点で前記マスタのそれぞれについてそれぞれの平均値測定手段の測定した平均値が基準値設定手段の設定した基準値を越えているか否かをチェックするマスタ別チェック手段と、

前記マスタ別チェック手段のチェックした結果に応じてこれらのマスタがバスの使用権を得る上で競合した際の優先順位を、平均値が基準値設定手段の設定した基準値を越えているマスタに対して優位に変更する優先順位更新手段とを具備することを特徴とするバス使用優先順位制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は複数のマスタの間でバスの使用権の優先順位を制御するようにしたバス使用優先順位制御装置に係わり、特にバスを相互に接続したバスブリッジを備えた計算機システムにおいて有効なバス使用優先順位制御装置に関する。

## 【0002】

【従来の技術】 図10は、バスブリッジにより2個のバスを接続した計算機システムの一例を表わしたものである。この図で第1のバス11<sub>1</sub>と第2のバス11<sub>2</sub>は独立しており、それぞれ第1のマスタ12-1<sub>1</sub>、12-1<sub>2</sub>、第2のマスタ12-2<sub>1</sub>、12-2<sub>2</sub>、メモリ14<sub>1</sub>、14<sub>2</sub>および入出力装置(I/O)15<sub>1</sub>、15<sub>2</sub>のうち対応するものを接続している。第1のバス11<sub>1</sub>と第2のバス11<sub>2</sub>の間には、これらを接続するためのバスブリッジ17が配置されている。

【0003】 図11は、このような計算機システムで、マスタがこれと同一のバスに接続されたメモリ等をアクセスした内部バスアクセス時のバス獲得から開放までのシーケンスを表わしたものである。同図(イ)に示すように時刻t<sub>1</sub>に例えば第1のマスタ12-1<sub>1</sub>がバス要求信号(BR<sub>1</sub>)21<sub>1</sub>をL(ロー)レベルに変化させてバスの要求を行うと、同図(ロ)に示すように第1のバス調停時間T<sub>1</sub>が経過した後に許可信号22<sub>1</sub>がLレベルに変化し、第1のバス11<sub>1</sub>に対する使用が許可される。これを基にして、第1のマスタ12-1<sub>1</sub>は同図(ハ)に示すようにアドレス情報23<sub>1</sub>を出力し、続いて同図(ニ)に示すようにデータ24<sub>1</sub>を出力する。

【0004】 例えばアクセス先のメモリ14<sub>1</sub>がデータの格納を終了させると、同図(ホ)に示すように時刻t<sub>2</sub>にアックノリッジ(ACK)信号25<sub>1</sub>が出力される。第1のマスタ12-1<sub>1</sub>がこれを受け取ると、同図(ロ)に示すように第1のバス11<sub>1</sub>の開放が行われ

る。

【0005】図12は、これに対してマスタがバスブリッジを介して外部のバスに接続されたメモリ等をアクセスした外部アクセス時のバス獲得から開放までのシーケンスを表わしたものである。一例として、第1のバス11<sub>1</sub>に接続された第1のマスタ12-1<sub>1</sub>が第2のバス11<sub>2</sub>に接続されたメモリ14<sub>2</sub>をアクセスしてデータの書き込みを行うものとする。

【0006】この場合、同図(イ)に示すように第1のマスタ12-1<sub>1</sub>が時刻t<sub>1</sub>にバス要求信号21<sub>1</sub>を出力すると、バスブリッジは所定の内部処理時間T<sub>a</sub>経過後に第2のバス11<sub>2</sub>の使用を要求するためのバス要求信号21<sub>2</sub>(同図(ハ))を出力する。この後、第2のバス11<sub>2</sub>を獲得するための第2のバス調停時間T<sub>b</sub>が経過した後に、同図(ニ)に示すように第2のバス11<sub>2</sub>の使用を許可することを示す許可信号22<sub>2</sub>がLレベルに変化する。これから、所定の内部処理時間T<sub>c</sub>が経過した後に、同図(ロ)に示すように第1のバス11<sub>1</sub>の使用を許可することを示すバス使用許可信号22<sub>1</sub>が出力される。時刻t<sub>1</sub>からこのバス使用許可信号22<sub>1</sub>が出力されるまでの時間(T<sub>a</sub>+T<sub>b</sub>+T<sub>c</sub>)は、見掛け上の第1のバス調停時間(無為保留時間)T<sub>e</sub>である。

【0007】第1のマスタ12-1<sub>1</sub>はこのバス使用許可信号22<sub>1</sub>を基に、第1のバス12-1<sub>1</sub>に対して同図(ホ)に示すようにアドレス情報23<sub>2</sub>を出力し、この後にデータ24<sub>2</sub>を出力する(同図(ホ)および(ヘ))。アクセス先のメモリ14<sub>2</sub>がこのデータ24<sub>2</sub>の格納を終了させ、時刻t<sub>3</sub>において同図(チ)に示したようにアクノリッジ(ACK)信号25<sub>2</sub>を出力すると、バスブリッジ17はこれに基づいて第1のバス11<sub>2</sub>に対してアクノリッジ信号25<sub>1</sub>を出力する(同図(ト))。第1のマスタ12-1<sub>1</sub>はこれを受け取って、第1および第2のバス11<sub>1</sub>、11<sub>2</sub>の開放が行われることになる。

【0008】図13は、このような従来の計算機システムで第1のバスに接続された第1のマスタが各種のアクセスを行う様子を表わしたものである。まず、第1のマスタ12-1<sub>1</sub>が図10に示したバスブリッジ17を介して第2のバス11<sub>2</sub>に接続されたメモリ14<sub>2</sub>をアクセスするものとする。この場合、第1のマスタ12-1<sub>1</sub>はバスブリッジ17内の第1のバスアービタに対して第2のバスを要求する(ステップS101)。この第2のバス要求は第1のバスアービタから第2のバス11<sub>2</sub>を管轄する第2のバスアービタに伝達される(ステップS102)。

【0009】第2のバスアービタには、例えば第2のバス11<sub>2</sub>に接続されている第1のマスタ12-1<sub>2</sub>からこれと前後して第2のバスの使用要求が来ている場合がある(ステップS103)。第2のバスアービタは内部

アクセスの方を外部(第1のバス11<sub>1</sub>)から第2のバス11<sub>2</sub>をアクセスするよりも優先度を高く設定しているものとする。この場合には、第2のバス11<sub>1</sub>に接続された第1のマスタ12-1<sub>1</sub>に対してバス11<sub>2</sub>の使用が許可される(ステップS104)。そこで、第1のマスタ12-1<sub>2</sub>はアクセス対象としたメモリ14<sub>2</sub>に対してアクセスを行う(ステップS105)。アクセスの完了によってメモリ14<sub>2</sub>が応答を返すと(ステップS106)、第2のバス11<sub>2</sub>の開放が行われる(ステップS107)。

【0010】この時点で第2のバス11<sub>2</sub>が使用できる状態になると、第2のバスアービタはこれにより第1のバスアービタに対して第2のバス11<sub>2</sub>の使用を許可する(ステップS108)。第1のバスアービタはこの許可を第1のマスタ12-1<sub>1</sub>に伝達する(ステップS109)。第1のマスタ12-1<sub>1</sub>が第2のバス11<sub>2</sub>の使用を要求してからここまでの時間が無為保留時間T<sub>e</sub>である。

【0011】第1のマスタ12-1<sub>1</sub>は、この時点で第2のバス11<sub>2</sub>をアクセスし(ステップS110)、第1のバスアービタはこれを第2のバスアービタに伝達する(ステップS111)。第2のバスアービタは、これを基にしてメモリ14<sub>2</sub>のアクセスを行う(ステップS112)。アクセスの完了によってメモリ14<sub>2</sub>が応答を返すと(ステップS113)、これが第2および第1のバスアービタを介して第1のマスタ12-1<sub>1</sub>に伝達される(ステップS114、S115)。第1のマスタ12-1<sub>1</sub>はこれを基にしてバス開放を指示し、これが第1のバスアービタを介して第2のバスアービタに伝達される(ステップS116、S117)。以上が外部アクセスに必要な全時間である。

【0012】次に第1のマスタ12-1<sub>1</sub>がメモリ14<sub>1</sub>に対して内部アクセスを行う場合について考察する。この場合には、第1のマスタ12-1<sub>1</sub>から第1のバスアービタに対して第1のバス11<sub>1</sub>の使用要求が行われる(ステップS118)。この場合には第2のバス11<sub>2</sub>との調停を行う必要がない。そこで、第1のバスアービタは使用要求を許可する旨を第1のマスタ12-1<sub>1</sub>に伝える(ステップS119)。ステップS118における第1のマスタ12-1<sub>1</sub>のバス使用要求からここまでの期間が内部アクセス時における無為保留期間T<sub>i</sub>である。第1のマスタ12-1<sub>1</sub>はメモリ14<sub>1</sub>をアクセスし(ステップS120)、メモリ14<sub>1</sub>からアクセス完了の応答があると(ステップS121)、第1のバス11<sub>1</sub>の開放を第1のバスアービタに通知する(ステップS122)。

【0013】

【発明が解決しようとする課題】図14は、このような従来の計算機システムで同一プログラムを実行した場合のデータアクセス対象の違いによるデータの処理時間の

10

20

30

40

50

相違を表わしたものである。ここで同図の左側に示した折れ線は、第1のマス $12-1_1$ が①～⑤で示す5つの命令を実行する際に第1のバス $11_1$ に接続された入出力装置 $15_1$ とメモリ $14_1$ をデータアクセスの対象として使用した場合を表わしている。また、同図の右側に示した折れ線は、第1のマス $12-1_1$ が①～⑤で示す全く同一の命令を実行する際に第2のバス $11_2$ に接続された入出力装置 $15_2$ とメモリ $14_2$ をデータアクセスの対象として使用した場合を表わしている。このように、第1のバス $11_1$ に接続された第1のマス $12-1_1$ がバスブリッジ17を介して第2のバス $11_2$ に接続された入出力装置 $15_2$ およびメモリ $14_2$ をアクセスすると、内部アクセスを行っている場合と比べてより多くの時間を必要にすることになる。

【0014】これは、異なったバスにアクセスを行う外部アクセスの際の無為保留時間 $T_e$ の方が同一のバス内でアクセスを行う内部アクセスの際のそれ $T_i$ よりも長いことによるものである。内部アクセスを行う場合には自己の接続されたバスのみを獲得すれば良いが、外部アクセスを行う場合には自己のバスと相手側のバスの双方

【0015】このように、マス(あるいはCPU(中央処理装置))が互いに同一仕様のメモリあるいは入出力装置を対象として同一のプログラムを実行した場合でも、これらアクセス対象のメモリや入出力装置がマスと同一のバスに接続されているかどうかによって処理時間が異なってくるという問題があった。このような処理時間の相違は、ロボットの制御のように特に実時間性が要求される分野で大きな問題となっており、システムの設計時の懸念事項となっていた。

【0016】そこで本発明の目的は、複数のバスの調停時における無為保留期間の差による同一プログラムを実行する際の実行時間の差異を少なくすることのできるバス使用優先順位制御装置を提供することにある。

【0017】

【課題を解決するための手段】請求項1記載の発明では、(イ)同一または異なったバスに接続されたCPU、DMAコントローラ等の複数のマスと、(ロ)これらのバスのそれぞれに配置され、バスの獲得の際に要する無為保留期間の累積時間を測定する累積時間測定手段と、(ハ)マスのそれぞれに配置され自己の累積時間測定手段の測定結果に対する基準値を設定する基準値設定手段と、(ニ)所定の時点でマスのそれぞれについてそれぞれの累積時間測定手段の測定した累積値が基準値設定手段の設定した基準値を越えているか否かをチェックするマス別チェック手段と、(ホ)このマス別チェック手段のチェックが行われるたびにこれらマスのそれぞれの累積時間測定手段の測定値をクリアする測定値クリア手段と、(ヘ)マス別チェック手段のチェックした結果に応じてこれらのマスがバスの使用

権を得る上で競合した際の優先順位を、累積値が基準値設定手段の設定した基準値を越えているマスに対して優位に変更する優先順位更新手段とをバス使用優先順位制御装置に具備させる。

【0018】すなわち請求項1記載の発明では、同一のバスあるいはバスブリッジを介して他のバスに接続されたCPU、DMAコントローラ等の複数のマスそれぞれについて、①バスの獲得の際に要する無為保留期間の累積時間を測定する累積時間測定手段と、②自己の累積時間測定手段の測定結果に対する基準値を設定する基準値設定手段とを配置しておく。そして、所定の時点で例えば計算機システムの所定の制御回路がそれぞれのマスに対して累積値が基準値を越えているかどうかをチェックし、越えているマスについてはバス使用についての調停時の優先順位をより優位に変更するようにする。これにより、無為保留期間の累積値が相対的に長いようなマスについては優先順位を高めることで累積値の短縮化を図り、マス間のプログラム実行に要する時間の差異を縮めるようにする。

【0019】請求項2記載の発明では、(イ)同一または異なったバスに接続されたCPU、DMAコントローラ等の複数のマスと、(ロ)これらのマスのそれぞれに配置され、バスの獲得の際に要する無為保留期間の累積時間を測定する累積時間測定手段と、(ハ)マスのそれぞれに配置され自己の累積時間測定手段の測定結果に対する基準値を設定する基準値設定手段と、(ニ)所定の時間間隔を測定する時間間隔測定手段と、(ホ)バスの使用権の優先順位の変更を指示する命令を解読する解読手段と、(ヘ)時間間隔測定手段が所定の時間間隔を測定するたびに、および解読手段がバスの使用権の優先順位の変更の指示を解読したときに、前記マスのそれぞれについてそれぞれの累積時間測定手段の測定した累積値が基準値設定手段の設定した基準値を越えているか否かをチェックするマス別チェック手段と、

(ト)このマス別チェック手段のチェックが行われるたびにこれらマスのそれぞれの累積時間測定手段の測定値をクリアする測定値クリア手段と、(チ)マス別チェック手段のチェックした結果に応じてこれらのマスがバスの使用権を得る上で競合した際の優先順位を、累積値が基準値設定手段の設定した基準値を越えているマスに対して優位に変更する優先順位更新手段とをバス使用優先順位制御装置に具備させる。

【0020】すなわち請求項2記載の発明では、同一のバスあるいはバスブリッジを介して他のバスに接続された複数のマスそれぞれについて、①バスの獲得の際に要する無為保留期間の累積時間を測定する累積時間測定手段と、②自己の累積時間測定手段の測定結果に対する基準値を設定する基準値設定手段とを配置しておく。そして、例えば計算機システムの所定の制御回路がそれぞれのマスに対して累積値が基準値を越えているかどう

かをチェックし、越えているマスタについてはバス使用についての調停時の優先順位をより優位に変更するようにする。このようなチェックは、所定の時間間隔を測定する時間間隔測定手段によって予め定めた時間間隔で行われるばかりでなく、バスの使用権の優先順位の変更を指示する命令を解釈する解釈手段の解釈した指示に応じて適宜行われることになる。これにより、無為保留期間の累積値が相対的に長いようなマスタについては優先順位を高めることで累積値の短縮化を図り、マスタ間のプログラム実行に要する時間の差異を縮めることができる。

【0021】請求項3記載の発明では、(イ)同一または異なったバスに接続されたCPU、DMAコントローラ等の複数のマスタと、(ロ)これらのマスタのそれぞれに配置され、バスの獲得の際に要する無為保留期間の平均値を測定する平均値測定手段と、(ハ)マスタのそれぞれに配置され自己の平均値測定手段の測定結果に対する基準値を設定する基準値設定手段と、(ニ)所定の時点で前記マスタのそれぞれについてそれぞれの平均値測定手段の測定した平均値が基準値設定手段の設定した基準値を越えているか否かをチェックするマスタ別チェック手段と、(ホ)マスタ別チェック手段のチェックした結果に応じてこれらのマスタがバスの使用権を得る上で競合した際の優先順位を、平均値が基準値設定手段の設定した基準値を越えているマスタに対して優位に変更する優先順位更新手段とをバス使用優先順位制御装置に具備させる。

【0022】すなわち請求項3記載の発明では、同一のバスあるいはバスブリッジを介して他のバスに接続されたCPU、DMAコントローラ等の複数のマスタそれぞれについて、①バスの獲得の際に要する無為保留期間の1回当たりの平均値を測定する平均値測定手段と、②自己の平均値測定手段の測定結果に対する基準値を設定する基準値設定手段とを配置しておく。そして、所定の時点で例えば計算機システムの所定の制御回路がそれぞれのマスタに対して平均値が基準値を越えているかどうかをチェックし、越えているマスタについてはバス使用についての調停時の優先順位をより優位に変更するようにする。これにより、無為保留期間の平均値が相対的に長いようなマスタについては優先順位を高めることで優先的にバスの獲得を行わせ、マスタ間のプログラム実行に要する時間の差異を縮めるようにする。

【0023】

【実施例】以下実施例につき本発明を詳細に説明する。

【0024】図1は本発明の一実施例におけるバス使用優先順位制御装置の原理的な構成を示したものである。このバス使用優先順位制御装置31は、同一のデータバス11Dとアドレスバス11Aにそれぞれ接続された第1～第Nのマスタ12-1～12-Nの内部にそれぞれ同一構成のバス使用監視回路33を配置した構成となっ

ている。第1～第Nのマスタ12-1～12-Nは、第1～第Nの優先順位更新要求信号線34-1～34-Nによって優先順位保持回路35と接続されており、優先順位の更新要求を行うようになっている。優先順位保持回路35は、ラウンドロビン法等の手法によって、各マスタ12-1～12-Nの優先順位を管理するようになっている。また、調停時における優先順位を保持するようになっている。この保持された優先順位情報37は、バスブリッジ17（図10参照）内の対応するバスアービタ36に常供されるようになっている。バスアービタ36は、第1～第Nのマスタ12-1～12-Nから送出されるそれぞれのバス要求信号(BR)21-1～21-Nを入力するようになっており、これらのマスタ12-1～12-Nに対してバス使用許可信号(BG)22-1～22-Nを出力するようになっている。

【0025】バス使用監視回路33は、それぞれバス要求信号21とバス使用許可信号22とバスクロック41を入力する第1のレジスタ42と、データバス11Dに接続された第2のレジスタ43と、これらのレジスタ42、43の内容の比較を行って優先順位更新要求信号線34に優先順位更新要求信号を出力する比較回路44と、これらの制御を行う制御回路45とを備えている。制御回路45にはバスクロック41と、比較開始信号47が供給される他、アドレスバス11Aからアドレス情報の供給も行われるようになっている。ここで、バスクロック41はこの計算機システムに共通のクロックとして使用されているものである。制御回路45からは、無為保留期間の累積値の出力のイネーブルを指示する累積値出力指示信号48が第1のレジスタ42に送出されるようになっている。また、制御回路45から比較回路44には、比較結果のイネーブルを指示する比較結果指示信号49が出力され、第2のレジスタ43には基準値書込信号51が出力されるようになっている。

【0026】図2は、第1のバスに接続された第1および第2のマスタとバスアービタにおける調停用の信号の接続関係を表わしたものである。第1のマスタ12-1からバスアービタ36<sub>1</sub>には、内部バス（ここでは第1のバス11<sub>1</sub>）のみを要求する内部バス要求信号21I-1<sub>1</sub>と外部バス（ここでは第2のバス11<sub>2</sub>）を要求する外部バス要求信号21E-1<sub>1</sub>が供給されるようになっている。ここで、外部バス要求信号21E-1<sub>1</sub>は内部バス（ここでは第1のバス11<sub>1</sub>）の獲得も同時に要求している。第1のバス11<sub>1</sub>の管理を行うバスアービタ36<sub>1</sub>からは所定のタイミングでバス許可信号22-1<sub>1</sub>が第1のマスタ12-1<sub>1</sub>に供給されることになる。

【0027】第2のマスタ12-2<sub>1</sub>とバスアービタ36<sub>1</sub>における調停用の信号の接続関係も全く同様である。なお、図1で第1のマスタ12-1<sub>1</sub>からバスアービタ36に入力されるバス要求信号21-1は、内部バ

10

20

30

40

50

ス要求信号21I-1と外部バス要求信号21E-1と一緒に表現した信号である。また、図2では添字「1」を付けているのに対して図1で付けていないのは、図1では第1のバス11<sub>1</sub>や第2のバス11<sub>2</sub>に限定せず、一般的なバス11に対するバス使用優先順位制御装置として表現しているためである。

【0028】図3は、それぞれのマスタの構成を表わしたものである。マスタ12はCPU（中央処理装置）またはDMAコントローラ（ここではCPUと総称する）61と、ここから出力されるアドレス情報62を入力するデコーダ63およびこれをバス11に出力するために設けられたトライステートバッファ64と、デコーダ63の出力側に配置された2つのオアゲート65、66と、CPU61のデータ線67をバス11に接続するために設けられた双方向トライステートバッファ69から構成されている。

【0029】ところで、図4はこのようなマスタがアクセスするバスを明示するために本実施例で採用されているアドレスの割り付けの仕組みを表わしたものである。この図に示したように第1のバス11<sub>1</sub>のアドレスの割り付けでは、バスブリッジ17（図13）を介した第2のバス11<sub>2</sub>に接続されたメモリ14<sub>2</sub>、入出力装置15<sub>2</sub>等のスレーブ群71についてはアドレス空間の上位側に配置されており、下位側には自己の第1のバス11<sub>1</sub>に接続されたメモリ14<sub>1</sub>、入出力装置15<sub>1</sub>等のスレーブ群72が配置されている。

【0030】これと同様に、第2のバス11<sub>2</sub>のアドレスの割り付けでは、バスブリッジ17を介した第1のバス11<sub>1</sub>に接続されたメモリ14<sub>1</sub>、入出力装置15<sub>1</sub>等のスレーブ群73についてはアドレス空間の上位側に配置されており、下位側には自己の第2のバス11<sub>2</sub>に接続されたメモリ14<sub>2</sub>、入出力装置15<sub>2</sub>等のスレーブ群74が配置されている。したがって、アドレスの上位をデコードしてみて、バスブリッジ17を介する相手側のバス11を要求している場合には、対応するバス要求信号（BR）を生成するようにすればよい。

【0031】したがって、図3に示したデコーダ63は、アドレス情報62の上位ビットをデコードするだけで、CPU61が内部バスのみをアクセス使用としているのか、外部バスをアクセス使用としているのかを判別することができる。デコーダ63の出力は、外部バスに関する場合には一方のオアゲート65に輸入され、アドレスストローブ信号76と負論理アンドがとられる。そして、これが外部バス要求信号21Eとしてバス11に出力される。

【0032】これに対して、デコーダ63の出力が内部バスに関する場合には、この出力は他方のオアゲート66に輸入され、同様にアドレスストローブ信号76と負論理アンドがとられる。そして、これが内部バス要求信号21Iとしてバス11に出力されることになる。これ

らの外部バス要求信号21Eおよび内部バス要求信号21Iは、バス11を経由して図1に示したバスアービタ36に輸入されることになる。

【0033】トライステートバッファ64と双方向トライステートバッファ69のイネーブル端子ENには、BG信号77が供給される。また、双方向トライステートバッファ69のディレクション端子DIRには、CPU61のリード・ライト信号78が供給されるようになっている。双方向トライステートバッファ69は、これによってリード時にバス11から入力する方向に制御され、ライト時にはバス11へ出力する方向に制御されるようになっている。

【0034】図5に示したタイミング図を用いて、マスタがバスの使用の要求を行ってアクセスが完了するまでの制御の様子を説明する。マスタ12内のCPU61が同図（イ）に示すようにバス11をアクセスするためのアドレスを出力し、これが確定してアドレスストローブ信号76（同図（ロ））がLレベルに変化すると、デコーダ63によってデコードされた結果として、同図（ハ）に示したように外部バス要求信号21EがLレベルにドライブされるか、同図（ニ）に示したように内部バス要求信号21IがLレベルにドライブされる。

【0035】バスアービタ36はこれを受けてローカルバスのみ、あるいはローカルバスと外部バスの双方について調停を開始し、しかる後に、図5（ホ）に示したようにバス許可信号22を出力する。外部バス要求信号21Eあるいは内部バス要求信号21IがLレベルに変化してからバス許可信号22がLレベルに変化するまでの期間が、マスタ12にとっての無為保留期間である。この無為保留期間はマスタ12にとっての全くの無駄時間である。

【0036】その後、マスタ12から有意のアドレスが所望のメモリ14あるいは入出力装置15をアクセスするために出力される（同図（ヘ））。そして、これにより該当するメモリ14あるいは入出力装置15のアクセスが完了した時点で、ACK信号（ACK）25が返送され（同図（ト））、これを基にして該当するバス要求信号21Eまたは21Iおよびバス許可信号22がHレベルにドライブされて、アクセスのための一連のサイクルが終了することになる。

【0037】図6は、図1に示したバス使用監視回路の要部を具体的に表わしたものである。バス使用監視回路33内の第1のレジスタ42には、図3に示した外部バス要求信号21Eと内部バス要求信号21Iの論理オアをとったバス要求信号21とバスアービタ36（図1）が出力するバス許可信号22が輸入される。バス要求信号21は、インバータ81で論理を反転されてナンドゲート82の一方の入力端子に輸入される。バス許可信号22はナンドゲート82の他方の入力端子に輸入される。ナンドゲート82の出力は、ペンディング時間累積

カウンタ83のイネーブル端子ENに入力される。

【0038】このペンディング時間累積カウンタ83には、バスクロック41がクロック入力端子に、また優先順位更新手続完了通知信号85がクリア端子CLRに入力するようになっている。ここで、優先順位更新手続完了通知信号85は、図示しない制御回路から出力される優先順位更新手続の完了を通知する信号である。優先順位更新手続完了通知信号85が入力すると、ペンディング時間累積カウンタ83はそのカウント値を“0”にクリアするようになっている。

【0039】ペンディング時間累積カウンタ83の出力86は、第2のレジスタ43の出力87と共に比較回路\*

マスタ	設定値 (クロック数)
第1のマスタ12-1 <sub>1</sub>	10, 000
第1のマスタ12-1 <sub>2</sub>	30, 000
第2のマスタ12-2 <sub>1</sub>	50, 000
第2のマスタ12-2 <sub>2</sub>	20, 000
.....	.....
.....	.....

【0041】ただし、この表1における設定値は、ペンディング時間累積カウンタ83に供給されるバスクロック41を単位とした数値となっている。

【0042】比較出力91は図示しない制御回路から出力される比較開始信号92と共に比較回路44内のナンドゲート93に入力される。ナンドゲート93からは優先順位変更要求信号94が出力される。この優先順位変更要求信号94がLレベルになったとき、すなわちペンディング時間累積カウンタ83の示す値の方が第2のレジスタ43の示す値よりも大きくなったときには、マスタ12-1～12-N間におけるそのマスタ12の優先順位を従来よりもより高位に変更するための優先順位変更要求が出されることになる。

【0043】本実施例のバス使用優先順位制御装置では、表1に示した第2のレジスタの設定値を固定にしてそれらの設定値の比で優先順位をそれぞれの無為保留期間に応じて順次変更することも可能であるが、更に、これら表1の設定値を変更していくことによって、各マスタ12-1～12-N間における無為保留期間の累積値の平均化を図ることもできる。例えば、あるマスタ12についての第2のレジスタの設定値を小さく変更すると、それだけ短時間で優先順位変更要求信号94がLレベルに変化するので、結果的に調停のための優先順位が高まり、計算機システム内でのバスの使用率が高くなることになる。

【0044】図7は、このように第2のレジスタの設定値を変更する際に行われる制御の流れの一例を表わした

\*44内の比較器89に入力するようになっている。比較器89は、両出力86、87を比較して、ペンディング時間累積カウンタ83の示す値の方が第2のレジスタ43の示す値よりも大きい場合にはその比較出力91をHレベルに設定する。これ以外の場合には、比較出力91はLレベルとなる。第2のレジスタ43には、それぞれのマスタ12について、許容される無為保留期間の最大値が予め設定されている。次の表1はこのような第2のレジスタ43の内容の一例を表わしたものである。

10 【0040】

【表1】

ものである。図1に示したバスブリッジ17では、所定のタイミングで比較開始信号92を全マスタ12-1～12-Nに出力し（ステップS201）、これらのマスタ12-1～12-Nから優先順位変更要求が受信されるまで、それらの内容を登録する（ステップS202、S203）。そして、各マスタ12-1～12-Nから得られた優先順位変更要求信号94に応じて全マスタ12-1～12-Nの優先順位の変更を行い（ステップS204）、次にLレベルとなっているマスタ12の第2のレジスタ43については、その設定値を所定値だけ減算し、Hレベルとなっているものについては所定値だけ加算する（ステップS205）。

【0045】このようにして得られたそれぞれのマスタ12-1～12-Nについての新しい設定値は、データバス11Dを通じてこれらの第1のレジスタ42に送られ、内容の変更が行われる（ステップS206）。この後、優先順位更新手続完了通知信号85が出力されて、全マスタ12-1～12-Nの第1のレジスタにおけるペンディング時間累積カウンタ83の内容が“0”にクリアされて（ステップS207）、設定値更新のための全作業が終了する（エンド）。これ以後、それぞれのマスタ12-1～12-Nでは、ペンディング時間累積カウンタ83の内容が“0”から順次累積される一方で、第2のレジスタ43に新たに設定された値との比較が行われることになる。

【0046】変形例

50 【0047】図8は図6に対応するもので、本発明の第

1の変形例におけるバス使用監視回路を表わしたものである。図6と同一部分には同一の符号を付している。バス使用監視回路33'内の第1のレジスタ42'内には、要求回数累積カウンタ101と除算器102が新たに設けられている。要求回数累積カウンタ101は優先順位更新手続完了通知信号85によってそのカウント値をリセットされる一方、バス要求信号21の論理反転後の信号103をクロック入力端子に入力するようになっており、バス要求のあった回数をカウントするようになっている。このカウント値105は、ペンディング時間累積カウンタ83の出力86と共に除算器102に入力される。

【0048】除算器102では、カウント値105を除数とし、ペンディング時間累積カウンタの出力86を被除数として商106を求めるようになっている。商106は、このマスタ12がバス11の要求を行ったときの無為保留期間の1回当たりの平均値となる。この商106は比較器89に入力されて第2のレジスタ43の出力87と比較される。この出力87は、無為保留期間の1回当たりの所定の基準値であり、この値は表1に示した値と異なったものであることはもちろんである。比較器89から出力される比較出力91は図示しない制御回路から出力される比較開始信号92と共に比較回路44内のナンドゲート93に入力される。ナンドゲート93からは優先順位変更要求信号94が出力される。この優先順位変更要求信号94がLレベルになったとき、すなわちペンディング時間累積カウンタ83の示す値の方が第2のレジスタ43の示す値よりも大きくなったときに、優先順位をより高位に変更するための優先順位変更要求が出されることになる。

【0049】なお、除算器102による除算は、要求回数累積カウンタ101のカウント値105が $2^n$  ( $n=1, 2, 3, \dots, n$ )に達したことを契機としてペンディング時間累積カウンタの出力86を右にnビットシフトすることによっても行うことができる。

【0050】図9は、本発明の第2の変形例としての比較開始信号の発生回路を表わしたものである。先の実施例では比較開始信号92が指示手段から出力されることにしたが、この変形例では、これを所定の間隔で発生させるようにした。すなわちインタバルタイマ111はそのクロック入力端子にバスクロック41を入力しており、所定の間隔でHレベルのキャリア信号112を出力するようになっている。このキャリア信号112は2入力オアゲート113の一方の入力となる。

【0051】比較開始信号の発生回路は命令レジスタ114を備えており、ここにはアドレスバス11A、データバス11B、アドレスストローブ信号115およびリード・ライト信号116が入力されるようになっている。命令レジスタ114は、これらの情報を用いてバスの調停について特に必要とされるときにHレベルの指示

信号を出力する。この指示信号115は2入力オアゲート113の他方の入力となる。この結果、2入力オアゲート113からは、通常の場合には所定の周期で比較開始信号92'が出力され、これ以後の場合で意図的に優先順位の変更を行うような場合には指示信号115に基づいた比較開始信号92'が出力されることになる。比較開始信号92'は図示しないインバータによって論理を反転されて、実施例で説明した比較開始信号92となる。

10 【0052】なお、この変形例の回路では、例えばインタバルタイマ111としてカウント値のプリセットが可能なタイマ回路を使用することにより、比較開始信号92'が出力される時間間隔を任意に調整することができる。

【0053】

【発明の効果】以上説明したように請求項1記載の発明によれば、各マスタについて無為保留期間の累積値を求め、これらを基準値と比較した結果によってこれらのマスタがバスを獲得する際の優先順位を再設定することにした。このように優先順位を組み替えることで、例えばバスブリッジを介して接続された他のバスのメモリ等をアクセスする機会の多いマスタや、頻繁に外部のメモリ等をアクセスするマスタについては、その実態を把握することができ、優先順位を上げることで、統計的に無駄時間消費の少ないマスタとほぼ同等のバス使用率を得ることが可能になる。これにより、同一のCPUおよび同一の入出力装置を対象として同一のプログラムを実行した場合には、CPUと入出力装置が同一のバス上に接続されているかどうかを問わず、同様の処理時間でプログラムの実行が可能になる。このため、ロボット制御等に必要とされる実時間保証を容易に確保することができる。

40 【0054】また、請求項2記載の発明によれば、各マスタの優先順位の変更のためのチェックを定期的に行うことができるばかりでなく、システムの各種要求に対応してその都度、優先順位の組み替えを行うことができるので、例えば各種プログラムの実行の推移に応じて適宜優先順位を変更することができ、それぞれのプログラム実行時のマスタの状況に応じた最も理想的な優先順位の更新が可能になるという効果がある。

50 【0055】更に請求項3記載の発明によれば、請求項1記載の効果が得られる他、無為保留期間の累積値を求める代わりに平均値を求めることにしたので、チェックに要する期間を長く設定すると、個々のマスタのバス獲得に要する時間を正確に把握することができ、優先順位を正確に定めることができる。また、平均値を求めるので、累積値を求める場合に比べてそれらの値を格納するメモリの容量が少なくてもよいという利点もある。更に、平均値を求めるために除算器を使用する場合には、これをシフタで構成すれば必要なハードウェア量を効率的に

削減することができるばかりでなく、除算の処理時間の短縮化も図ることができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例におけるバス使用優先順位制御装置の原理的な構成を示したブロック図である。

【図 2】 本実施例で第 1 のバスに接続された第 1 および第 2 のマスタとバスアービタにおける調停用の信号の接続関係を表わした接続構成図である。

【図 3】 本実施例の各マスタの構成を表わした回路図である。

【図 4】 各マスタがアクセスするバスを明示するために本実施例で採用されているアドレスの割り付けの仕組みを表わした説明図である。

【図 5】 本実施例でマスタがバスの使用の要求を行ってアクセスが完了するまでの制御の様子を説明するための各種波形図である。

【図 6】 図 1 に示したバス使用監視回路の要部を具体的に表わした回路図である。

【図 7】 本実施例で第 2 のレジスタの設定値を変更する際に行われる制御の流れの一例を表わした流れ図である。

【図 8】 図 6 に対応するもので、本発明の第 1 の変形例におけるバス使用監視回路を表わした回路図である。

【図 9】 本発明の第 2 の変形例で比較開始信号の発生回路を表わした回路図である。

【図 10】 バスブリッジにより 2 個のバスを接続した

計算機システムの一例を表わしたシステム構成図である。

【図 11】 マスタがこれと同一のバスに接続されたメモリ等をアクセスした内部バスアクセス時のバス獲得から開放までの様子を表わした各種波形図である。

【図 12】 マスタがバスブリッジを介して外部のバスに接続されたメモリ等をアクセスした外部アクセス時のバス獲得から開放までの様子を表わした各種波形図である。

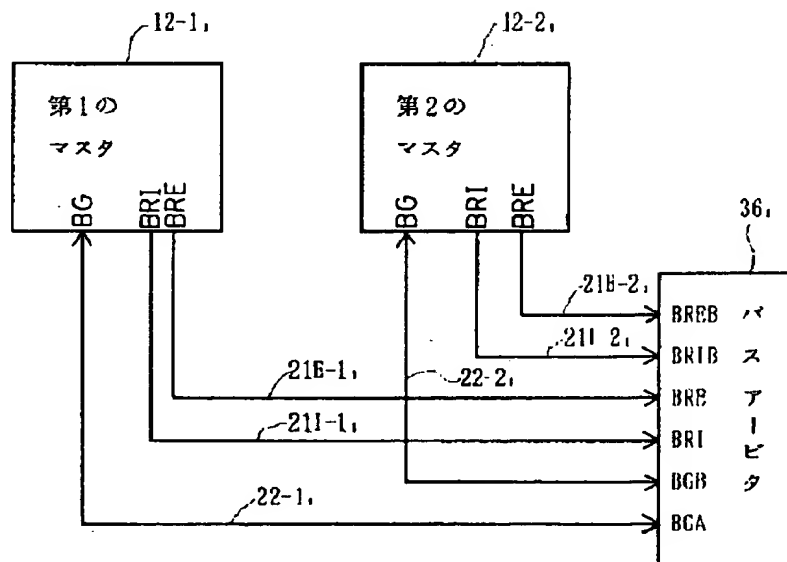
10 【図 13】 従来の計算機システムで第 1 のバスに接続された第 1 のマスタが各種のアクセスを行う様子を表わした説明図である。

【図 14】 従来の計算機システムで同一プログラムを実行した場合のデータアクセス対象の違いによるデータの処理時間の相違を表わした説明図である。

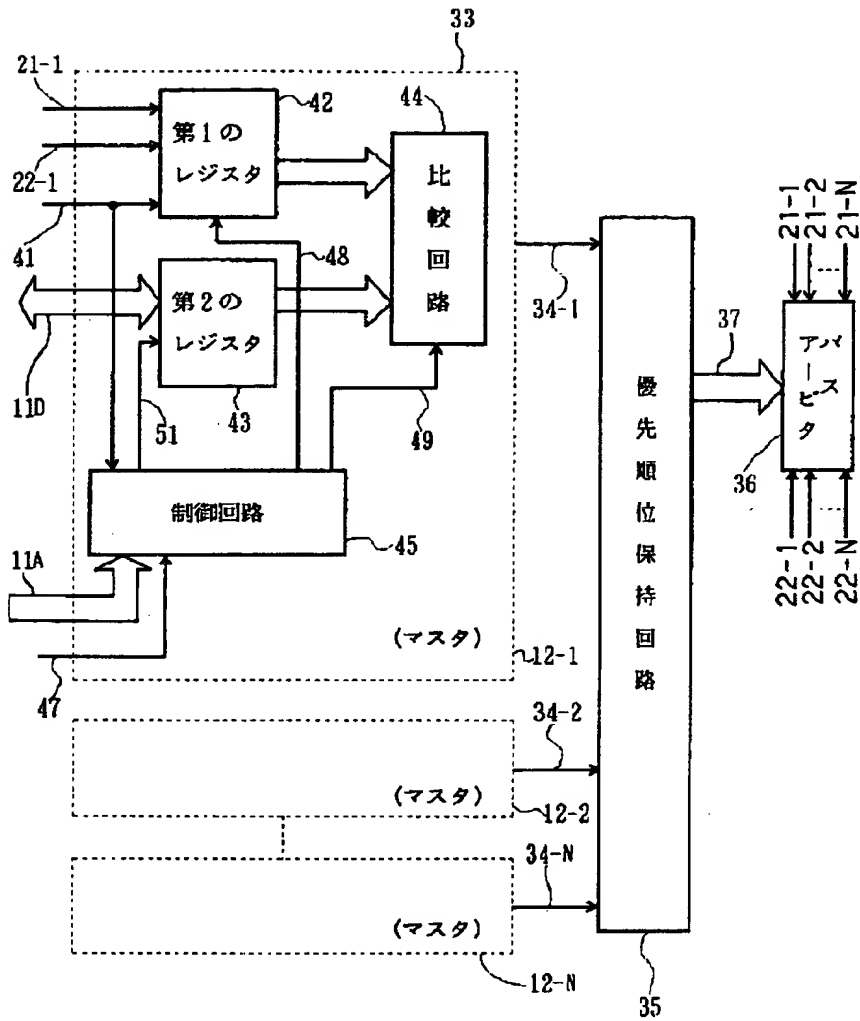
【符号の説明】

11…バス、11A…アドレスバス、11D…データバス、12-1…第 1 のマスタ、12-N…第 N のマスタ、17…バスブリッジ、33…バス使用監視回路、35…優先順位保持回路、36…バスアービタ、42…第 1 のレジスタ、43…第 2 のレジスタ、44…比較回路、45…制御回路、61…CPU、83…ペンディング時間累積カウンタ、89…比較器、101…要求回数累積カウンタ、102…除算器、111…インタバルタイマ、114…命令レジスタ

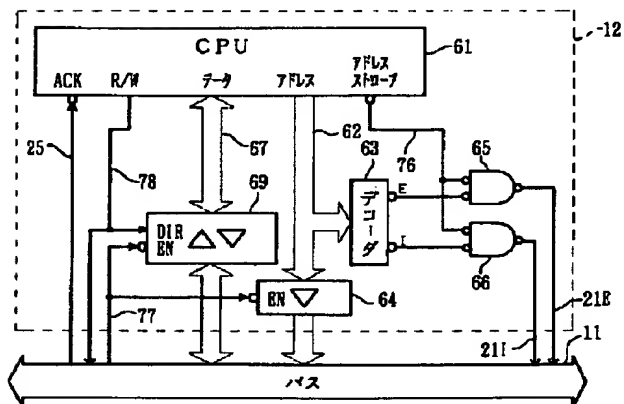
【図 2】



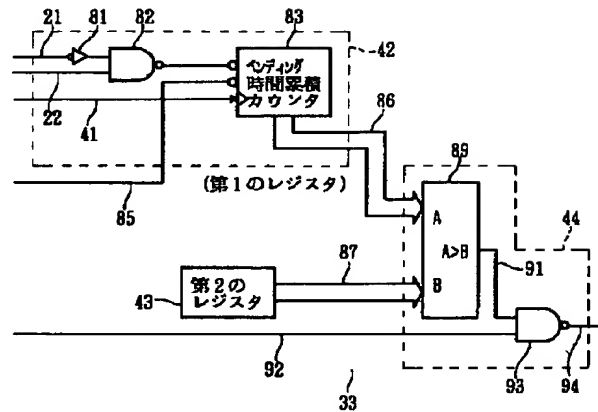
【図1】



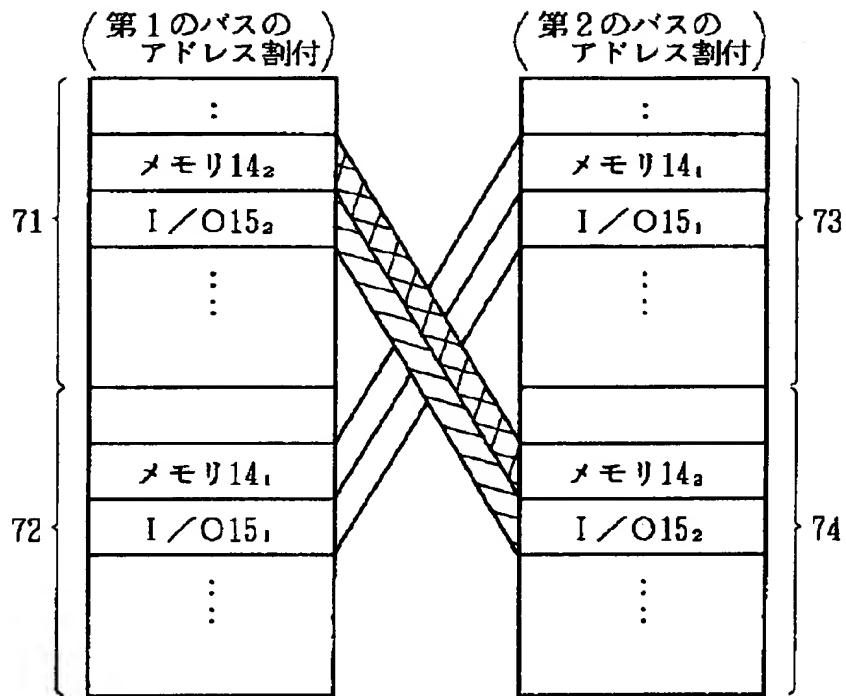
【図3】



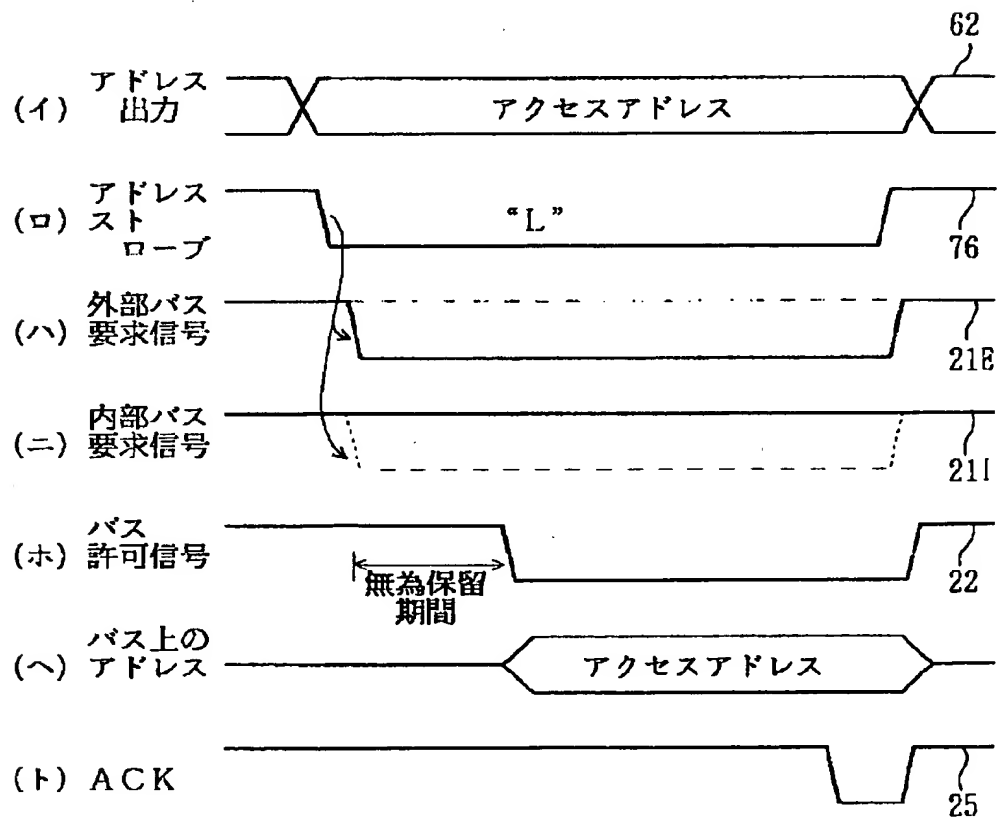
【図6】



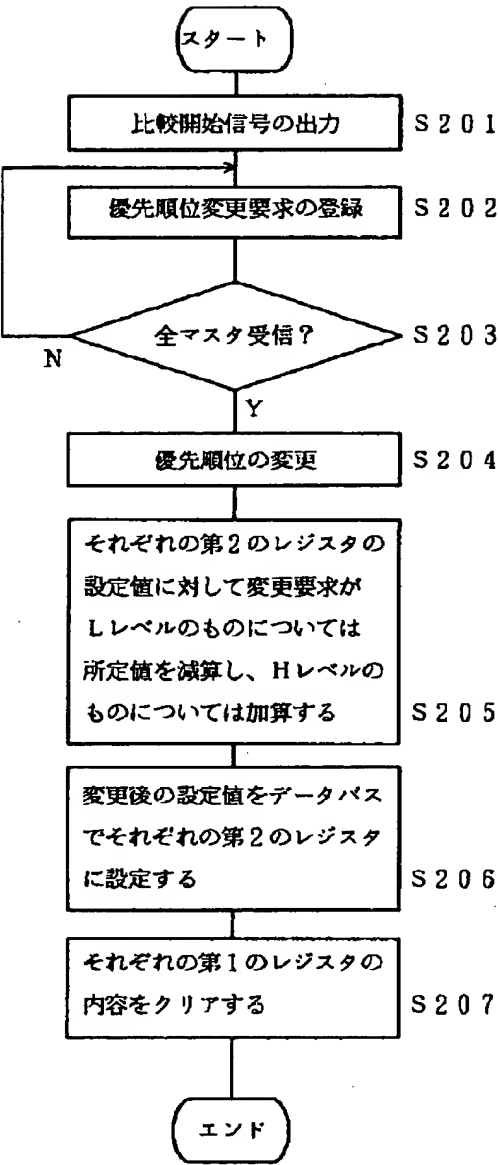
【図4】



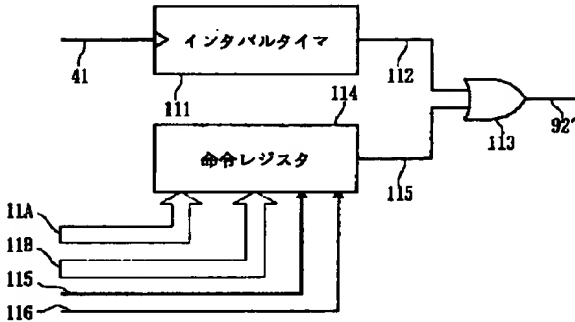
【図5】



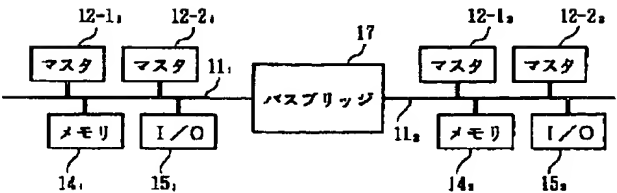
【図 7】



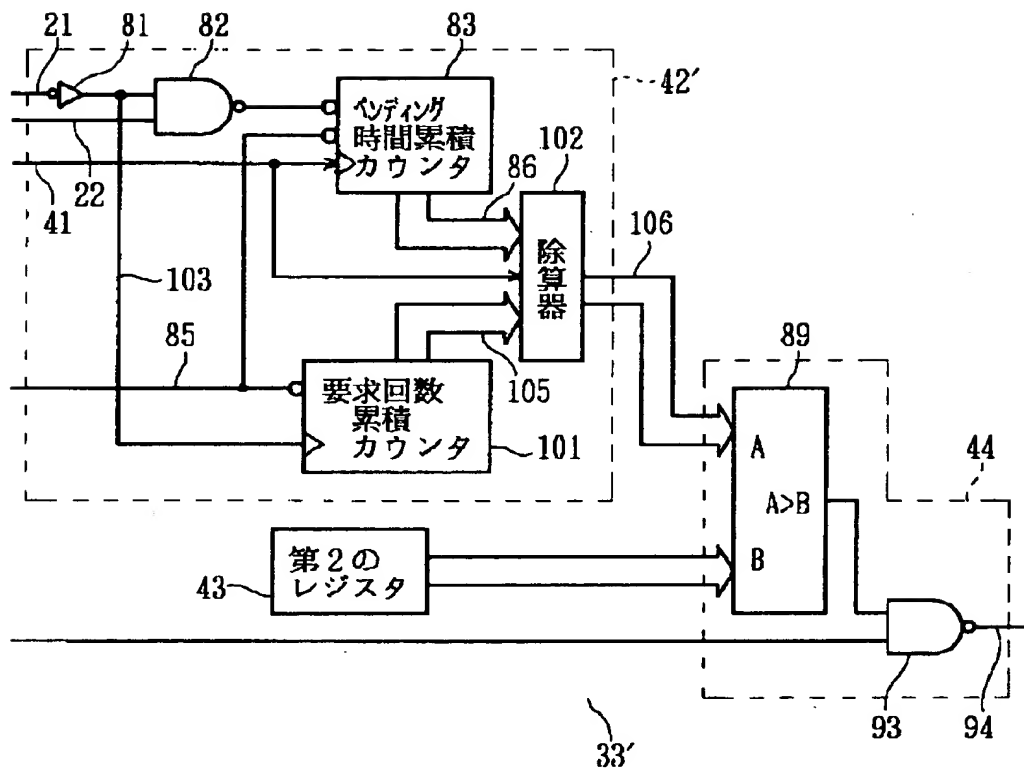
【図 9】



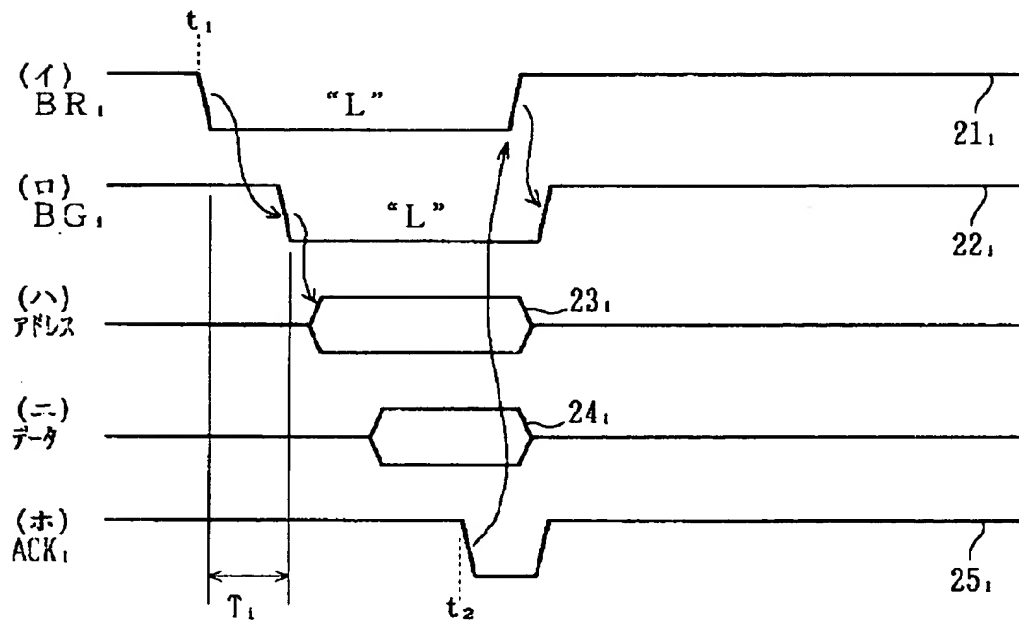
【図 10】



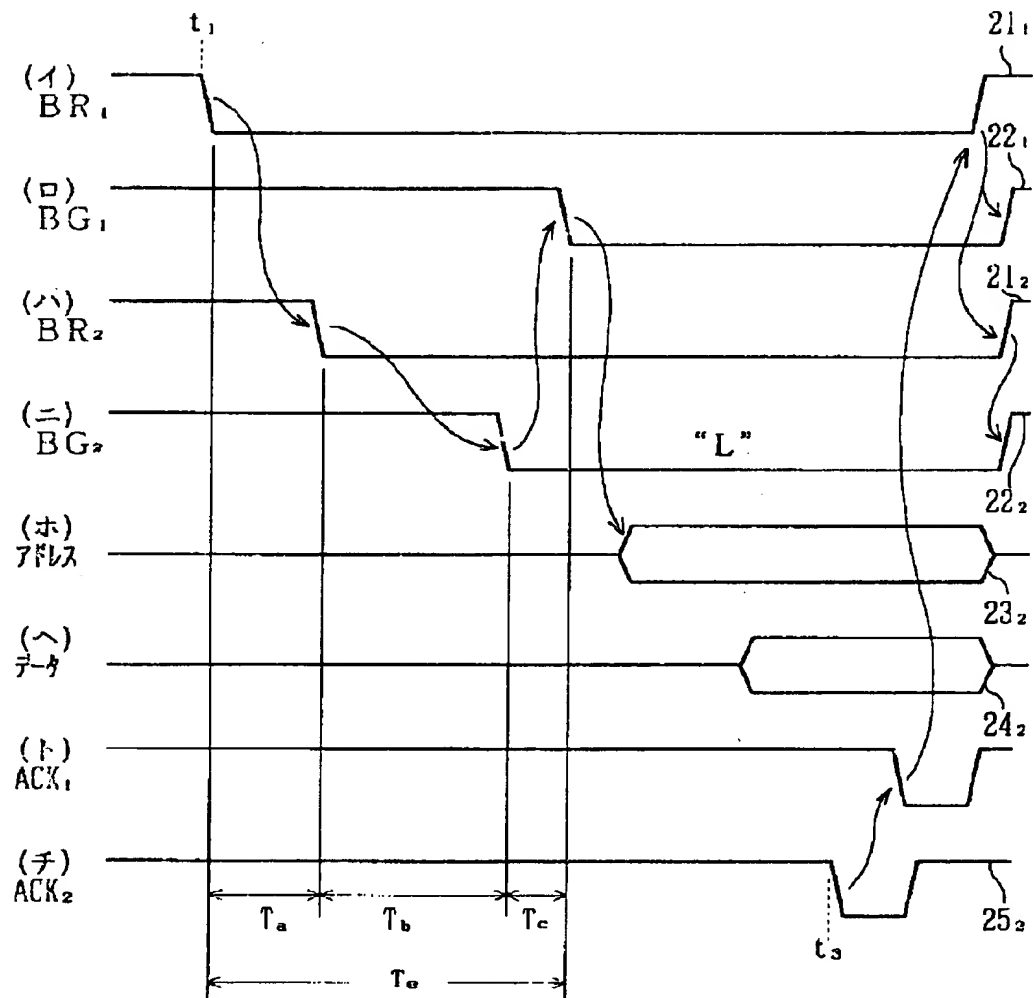
【図8】



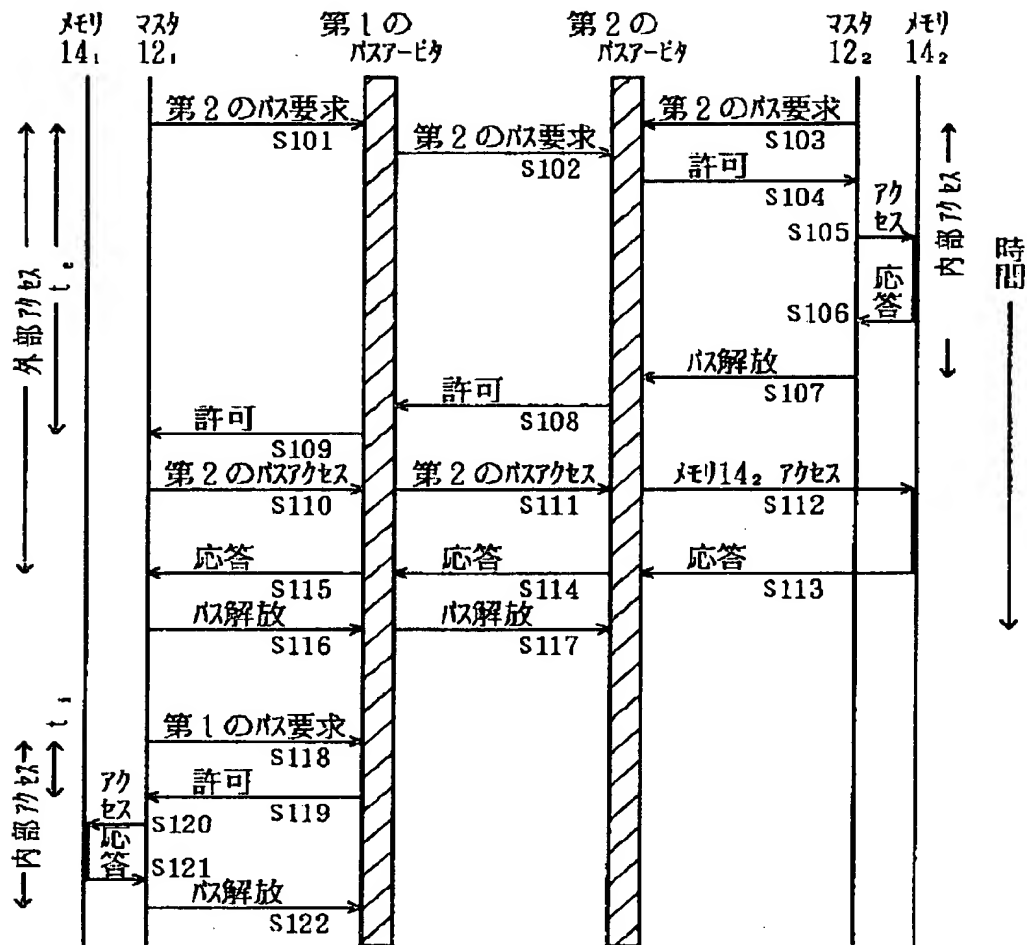
【図11】



【図12】



【図13】



【図14】

